

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-105575

(P2000-105575A)

(43)公開日 平成12年4月11日(2000.4.11)

| (51)Int.Cl. <sup>7</sup> | 識別記号  | F I           | テーマコード(参考)      |
|--------------------------|-------|---------------|-----------------|
| G 0 9 G 3/36             |       | G 0 9 G 3/36  | 2 H 0 9 3       |
| G 0 2 F 1/133            | 5 5 0 | G 0 2 F 1/133 | 5 5 0 5 C 0 0 6 |

審査請求 有 請求項の数5 O L (全 7 頁)

(21)出願番号 特願平10-270793

(22)出願日 平成10年9月25日(1998.9.25)

(71)出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(74)代理人 100086243

弁理士 坂口 博 (外1名)

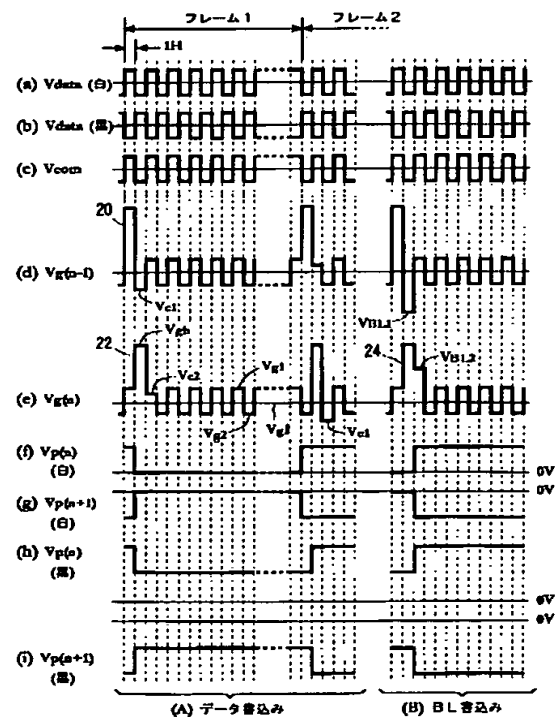
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法

(57)【要約】

【課題】  $Cs$  on Gate型のアクティブ・マトリックス型液晶表示装置において、ブランキング書き込みをすることにより残像の問題を解決する方法を提供する。

【解決手段】 液晶表示装置は、各画素電極と隣接ゲート線とによって補助容量 $Cs$ を形成する $Cs$  on Gate型のアクティブ・マトリックス型液晶表示装置である。1フレーム周期が終了する前の所定時間に、ゲート線をライン順次に駆動し、補助容量 $Cs$ を介して画素電極の電位を制御することにより、ブランキング(BL)書き込みを行い、強制的に表示をブランキングする。



## 1

## 【特許請求の範囲】

【請求項 1】 走査信号を受け取るゲート線とデータ信号を受け取るデータ線との交差位置に薄膜トランジスタおよび画素電極を有し、各画素電極と隣接ゲート線とによって補助容量を形成する形式のアクティブ・マトリックス型液晶表示装置のための駆動方法において、

1 フレームの画像を表示するため、前記走査信号および前記データ信号に応答して前記画素電極にライン順次にデータを書き込むステップと、

1 フレーム周期が終了する前の所定時間に、前記ゲート線をライン順次に駆動し、前記補助容量を介して前記画素電極の電位を制御することにより強制的に表示をブランキングするステップとを含むことを特徴とする液晶表示装置の駆動方法。

【請求項 2】 前記ブランキングが黒レベルの書き込みによって行われることを特徴とする請求項 1 に記載の駆動方法。

【請求項 3】 1 フレームの開始時間から前記所定時間までの長さが 1 フレーム周期の 25% - 80% であることを特徴とする請求項 1 または 2 に記載の駆動方法。

【請求項 4】 1 フレームの開始時間から前記所定時間までの長さが 1 フレーム周期の 40% - 70% であることを特徴とする請求項 1 または 2 に記載の駆動方法。

【請求項 5】 各前記補助容量が、関連する画素電極と前段のゲート線とによって形成されることを特徴とする請求項 1、2、3 または 4 に記載の液晶表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置の駆動方法に関し、詳細に言えば、残像現象を低減させることができる駆動方法に関する。

## 【0002】

【従来の技術】 最近、薄膜トランジスタ (TFT) のようなスイッチング素子と画素電極とがマトリクス状に配列されたアクティブ・マトリックス型液晶表示装置が多用されている。しかし液晶表示装置は容量性であるため、ホールド型発光特性を有し、一度画素に書き込まれたデータは 1 フレーム周期後に再書き込みされるまで保持される。そのため、CRT ディスプレイのような、1 フレーム周期内に一時的に発光するインパルス型発光の表示装置に比べて、残像が目立ち、特に動画表示において表示特性が低下するという問題がある。

【0003】 この残像の問題に対する 1 つの対策として、特開昭 64-82019 号公報は、バックライトを制御することを提案している。バックライト用の照明装置は複数のランプの配列からなり、これらのランプは液晶表示のライン走査のタイミングに応じて順次に点滅される。各ランプは、それぞれ所定数 (例えば、44 本) の走査ラインのグループをカバーする。各ランプ

## 2

は、関連するグループのすべての走査ラインが駆動されたとき点灯し、一定時間後に消灯する。しかし、この場合、ブランキング (表示の消去) はグループ単位で行われるため、走査ライン毎にブランキングを制御できないという問題がある。

【0004】 特開昭 64-82019 号公報の問題を解決するため、本出願人は、特願平 09-248818 号において、液晶パネルを上半分と下半分に分割する方法を提案した。液晶パネルは、ゲート線対 (上半分の 1 つと下半分の 1 つの) を同時に駆動するように制御される。上半分と下半分のゲート線は、1 フレーム期間のうちの所定の期間 (例えば、1 フレームの前半) に 1 フレーム分のデータを表示するように対でライン順次に駆動され、1 フレームの残りの期間 (例えば、1 フレームの後半) には、強制的にブランキング画像 (黒画像) の書き込みを行うように対でライン順次に再駆動される。この方法は、同じフレーム期間内に黒を強制的に書き込むことによって発光時間すなわち表示時間を短縮するものであり、残像の問題を良好に解決することができる。しかし、液晶パネルを 2 分割する必要がある、また、各パネル半部を同時に駆動するための特別なゲート線駆動回路および各パネル半部を独立的に駆動するための 2 つのデータ線駆動回路が必要であり、パネル構造および駆動回路が複雑化するという問題がある。また、1 フレーム周期を 2 分割し、第 1 の期間を表示に、第 2 の期間をブランキングに割り当てるため、表示時間を変えずにブランキング時間を変えることができない。したがって、画像表示に影響を与えずに、ブランキング時間を任意に設定することができないという問題がある。

## 【0005】

【発明が解決しようとする課題】 したがって、本発明の目的は、特別なパネル構造および駆動回路を必要とすることなく、走査ライン単位でブランキングを制御して残像の問題を好適に解決することができる液晶表示装置の駆動方法を提供することである。

## 【0006】

【課題を解決するための手段】 本発明は、走査信号を受け取るゲート線とデータ信号を受け取るデータ線との交差位置に薄膜トランジスタおよび画素電極を有し、各画素電極と隣接ゲート線とによって補助容量を形成する形式のアクティブ・マトリックス型液晶表示装置のための駆動方法である。本発明の駆動方法は、1 フレームの画像を表示するため、前記走査信号および前記データ信号に応答して前記画素電極にライン順次にデータを書き込むステップと、1 フレーム周期が終了する前の所定時間に、前記ゲート線をライン順次に駆動し、前記補助容量を介して前記画素電極の電位を制御することにより強制的に表示をブランキングするステップとを含む。好ましくは、ブランキングは黒レベルの書き込みによって行われ、補助容量は、関連する画素電極と前段のゲート線と

によって形成される。

【0007】

【発明の実施の形態】次に図面を参照して本発明の良好な実施例について説明する。本発明のアクティブ・マトリクス型液晶表示装置は、アレイ基板上の画素電極と隣接ゲート線とによって補助容量を形成する形式の液晶パネルを使用する。この形式の補助容量は、従来公知のように、画素電極の端部領域と隣接ゲート線とが位置的に重なるようにアレイ基板を構成することによって形成され、通常、「Cs on Gate型」の補助容量と呼ばれている。本発明の実施例では、補助容量が画素電極と前段のゲート線とによって形成されるものとして説明する。

【0008】図1は、Cs on Gate型の液晶パネルの一部分の電気的等価回路である。液晶パネルは、アレイ基板上に形成された複数のデータ線D(m-1)、D(m)、D(m+1)と、ゲート線G(n-1)、G(n)、G(n+1)、G(n+2)とを有する。実際にはもっと多数のデータ線およびゲート線が設けられることはいうまでもない。データ線とゲート線の交差位置には、行列に配列された液晶セル10がある。各液晶セルは薄膜トランジスタ(TFT)12を含む。各列のTFT12のドレイン電極は関連するデータ線Dに接続され、各行のTFT12のゲート電極は関連するゲート線Gに接続されている。データ線Dは画像データ信号を同時に受取り、ゲート線Gはライン順次に液晶セル・ライン(行)を駆動するための走査信号を受け取る。

【0009】TFT12のソースはノード14として示される画素電極に接続されている。各液晶セル10の画素電極は、前段のゲート線と共に補助容量Csを形成している。容量C1cは、各画素電極14と、対向基板(すなわち、カラー・フィルタ(CF)基板)上の共通電極(対向電極)18との間の液晶により与えられる液晶容量である。TFT12のゲートとソース間には寄生容量Cgsが存在する。

【0010】図2は、図1の液晶パネルを動作させるのに適した動作波形を例示している。図2のうち、

「(A)データ書き込み」と示された左側の部分は、従来公知の書き込み動作を示しており、「(B)BL書き込み」と示された右側の部分は、残像を減少させるために本発明によって用いられるブランキング書き込み動作を示している。まず、左側の従来公知の書き込み動作について説明する。

【0011】図2はノーマリー・ホワイト・モードでの動作を例示している。波形(a)は、データ線Dに供給される白(全白)書き込みデータ「Vdata(白)」を示し、波形(b)は、データ線Dに供給される黒(全黒)書き込みデータ「Vdata(黒)」を示し、波形(c)は共通電極の電圧Vcomを示し、波形(d)は前段のゲート線電圧Vg(n-1)を示し、波形(e)は現在走査されて

いるゲート線の電圧Vgを示している。波形(f)は、ゲート線G(n)に沿った液晶セルに白が書き込まれたときに、これらのセルの液晶の両端にかかる電圧を示し、波形(g)はゲート線G(n+1)に沿った液晶セルに白が書き込まれたときに、これらのセルの両端に現れる電圧を示している。波形(h)は、ゲート線G(n)に沿った液晶セルに黒が書き込まれたときに、これらのセルの液晶の両端にかかる電圧を示し、波形(i)はゲート線G(n+1)に沿った液晶セルに黒が書き込まれたときに、これらのセルの両端に現れる電圧を示している。

【0012】図2からわかるように、この例では交流駆動が用いられており、ライン(行)反転駆動、共通電極反転駆動、ゲート電極反転駆動、およびフレーム反転駆動が用いられている。すなわち、データ信号Vdataは、液晶の誘電率異方性により誘起される直流(DC)成分を低減させるために、水平走査期間(1H)毎に反転されている。したがって、隣接するラインの液晶セルは互いに反対極性に駆動される。また、データ書き込みに必要な電圧をデータ線駆動回路と共通電極とで分担することによってデータ線駆動回路に要求される駆動能力および耐圧を減少させるために、共通電極の電圧Vcomもデータ信号と同期して駆動される。電圧Vcomも、水平走査周期毎に極性を反転して駆動される。液晶には、TFTがオンになったとき、Vdata-Vcomの電圧が印加される。さらに、ゲート線Gは補助容量Csを介して画素電極と結合されているから、ゲート線電圧Vgは画素電極14の電圧に影響を与える。したがって、書き込み時に液晶の両端にVdata-Vcomの電圧が正確に印加されるようにするためには、ゲート線電圧が画素電極の電圧に影響を与えないようにする必要がある。そのため、ゲート線の電圧は通常、共通電極電圧Vcomと同極性で且つ同振幅で水平走査周期毎に反転駆動される。書き込みが行われないラインのゲート線および共通電極の電圧はVg1とVg2との間で変化する。また、これらの駆動信号は、DC成分を低減させるため、フレーム毎に反転される。このような反転駆動方式は、例えば、特開平06-59245号公報に開示されるように公知であり、それ自体、本発明を構成するものではない。

【0013】なお、図2において、波形(a)～(e)に示された水平線は、それぞれの交流駆動波形のセンター電圧であり、波形(f)～(i)の水平線は0Vレベルを示している。

【0014】ゲート線電圧Vgのパルス20および22は、書き込み時にTFT12をオンにするゲート駆動パルスである。ゲート・パルスがTFT12に印加され、TFTがオンになったとき、画素電極14はVdataに充電される。ゲート・パルスがオフになったとき、画素電極14の電位は寄生容量Cgsを介してゲート線に突き抜け、画素電極電位が降下する。このような画素電極電位の降下分は「突き抜け電圧」と呼ばれる。この電位低下

を補償するため、書き込み時に前段のゲート線が同時に所定のレベルに駆動される。現在駆動されているゲート線が  $V_g(n)$  であるとしたときは、ゲート・パルス 22 と同時に、前段のゲート線  $G(n-1)$  が補償電圧  $V_{c1}$  で駆動される。補償電圧  $V_{c1}$  は補助容量  $C_s$  を介して画素電極 14 に結合され、突き抜け電圧を補償する。次にゲート線  $V_g(n+1)$  が駆動されるときは、ゲート線  $V_g(n)$  が前段のゲート線として補償電圧  $V_{c2}$  で同時に駆動され、補助容量  $C_s$  を介して次段の画素電極電位を補償する。隣接ラインは互いに反転駆動されるから、隣接ゲート線に印加される補償電圧  $V_{c1}$ 、 $V_{c2}$  は、互いに逆極性を有する。このような突き抜け電圧あるいは実効値の補償は、例えば、特開昭 64-26822 号公報および特開平 09-179097 号公報に示されるように公知であり、それ自体、本発明を構成するものではない。

【0015】次に、残像を減少させるための本発明による駆動方法について説明する。本発明は、従来「突き抜け電圧」の補償のために利用されていた隣接ゲート線の電圧制御を残像の防止のために有効に利用できるように見出したものである。残像は、1 フレーム期間に対して画像の表示時間が長いことによって生じるから、1 フレーム期間における画像表示時間を短縮するように、ブランキング画像を書き込み、表示を強制的に消去することによって残像効果を低減させることができる。ブランキング画像とは、同一階調からなる非有意画像であり、黒画像であるのが好ましい。本発明は、隣接ゲート線（この例では、前段のゲート線）の電圧制御によって、データ表示と並行してブランキング書き込みを行う。

【0016】図 3 は、通常の画像データ書き込みタイミングと、本発明によるブランキングのための黒レベル書き込みタイミングを示している。ここでは、ノンインターレースのライン順次走査が用いられるものとしている。Data は画像データの書き込みを表し、BL はブランキングのための黒レベル書き込みを表している。画像データ Data は 1 度に 1 水平走査線 (1H) ずつライン順次に書き込まれ、フレーム開始時点から 1 フレーム周期よりも短い所定の時間 T が経過したとき、1 度に 1 水平走査線ずつライン順次に強制的に黒書き込みが行われる。画像データ書き込みとブランキング書き込みは、時間間隔 T をもって液晶パネル上で同時に進行する。

【0017】図 2 に戻って説明すると、図 2 の右側部分は、図 3 のブランキング書き込み BL で行われる動作を例示したタイミング図である。フレーム開始時点から時間 T が経過したとき、ブランクにされるべき最初のゲート線が選択され、このゲート線に沿ったすべての液晶セルの画素電極電位を黒レベルにするように前段のゲート線の電圧が制御される。いま、選択されたゲート線が  $G(n)$  であるとする、ゲート線  $G(n)$  はゲート・パルス 24 で駆動され、同時に前段のゲート線  $G(n-1)$  がブランキング電圧  $V_{BL1}$  で駆動される。図 3 に関して述べたよ

うに、データ書き込みとブランキング書き込みは液晶パネル上で同時に進行するから、ゲート線  $G(n)$  に沿った液晶セルもデータ線に画像データを受け取る。したがって、ゲート線  $G(n)$  に沿った液晶セルには、そのときデータ線上にある画像データが書き込まれるが、その際に、前段のゲート線のブランキング電圧によってすべての画素電極電位が修正され、黒レベルに設定される。次の水平走査期間にゲート線  $G(n+1)$  が選択されたときは、ゲート線  $G(n)$  が前段のゲート線としてブランキング電圧  $V_{BL2}$  で駆動される。これにより、ゲート線  $G(n+1)$  に沿ったすべての液晶セルの画素電極が黒レベルに書き込まれる。ブランキング書き込みは、その後、同様にライン順次に行われる。

【0018】ここで、前段のゲート線の駆動によるブランキング書き込みについて具体的に説明する。ブランキング書き込みは、データ書き込みと同時に、前段のゲート線にブランキング電圧を印加することによって行われる。したがって、ブランキング書き込みは、データ線の電圧に関係なく黒を書き込むことができなければならない。いま、選択されたゲート線に沿った液晶セルへのデータ書き込みと同時に、前段のゲート線にブランキング電圧を印加した場合、書き込み時および書き込み後（保持状態）の画素電極電荷  $Q$  は、それぞれ、式 (1) および (2) で表される。

$$(1) \quad Q = C_{gs}(V - V_{gh}) + C_s(V - V_{cs}) + C_{lc}(V - V_{com})$$

$$(2) \quad Q = C_{gs}(V' - V_{gl}) + C_s(V' - V_{gl}) + C_{lc}(V' - V_{com})$$

ここで、

$V$  : 書き込み時に画素電極に現れる電圧 ( $V_{data}$  に相当する)

$V'$  : 書き込み後に画素電極に保持される電圧

$V_{gh}$  : 選択されたゲート線に印加されるゲート駆動パルスの高レベル

$V_{cs}$  : 前段のゲート線に印加される電圧

$V_{com}$  : 共通電極（対抗電極）の電圧

$V_{gl}$  : ゲート駆動パルスの低レベル ( $V_{gl}$  と  $V_{g2}$  の中間レベルに相当)

$C_{gs}$  : ゲートソース寄生容量

$C_s$  : 補助容量

$C_{lc}$  : 液晶容量

【0019】式 (1) および (2) から、次が得られる。

$$(3) \quad (C_{gs} + C_s + C_{lc})(V - V') = C_{gs}(V_{gh} - V_{gl}) + C_s(V_{cs} - V_{gl})$$

$$(4) \quad (V - V') = [C_{gs}V_{gh} - (C_{gs} + C_s)V_{gl} + C_sV_{cs}] / (C_{gs} + C_s + C_{lc})$$

したがって、

$$(5) \quad d(V - V') / dV_{cs} = C_s / (C_{gs} + C_s + C_{lc})$$

【0020】したがって、前段のゲート線の電圧  $V_{cs}$  を

制御することにより、保持状態の画素電極電圧を制御することができる。式(5)からわかるように、補助容量 $C_s$ が大きいほど、画素電圧の変化幅を大きくすることができるが、通常の $C_{s\ on\ Gate}$ 型液晶表示パネルで用いられている補助容量で十分である。

【0021】ブランキング書込みに必要な前段のゲート線の電圧の一例を求めてみる。液晶表示装置の容量値 $C_{gs}$ 、 $C_s$ 、 $C_{lc}$ の一例を示せば、 $C_{gs}=0.01\text{ pF}$ 、 $C_s=0.165\text{ pF}$ 、 $C_{lc(max)}=0.416\text{ pF}$ 、 $C_{lc(min)}=0.169\text{ pF}$ である。なお、 $C_{lc(max)}$ は黒書込みの場合であり、 $C_{lc(min)}$ は白書込みの場合である。式(5)から、

(6)  $d(V-V')/dV_{cs}=0.279 [C_{lc(max)}\text{の場合}]$

(7)  $d(V-V')/dV_{cs}=0.479 [C_{lc(min)}\text{の場合}]$

【0022】白書込み時に画素電極に現れる電圧(データ線電圧に相当する)を $V_{data}(\text{白})$ 、白書込み後に画素電極に保持される電圧を $V'(\text{白})$ 、白書込み時の前段のゲート線の電圧を $V_{cs}(\text{白})$ 、ブランキング(黒)書込み後に画素電極に保持される電圧を $V'(\text{黒})$ 、ブランキング書込み時の前段のゲート線の電圧を $V_{cs}(\text{黒})$ とすると、式(4)から次の関係が得られる。

【0023】(8)  $[V_{data}(\text{白})-V'(\text{白})]=[C_{gs}V_{gh}-(C_{gs}+C_s)V_{gl}+C_sV_{cs}(\text{白})]/(C_{gs}+C_s+C_{lc})$

(9)  $[(V_{data}(\text{白})-V'(\text{黒}))]=[C_{gs}V_{gh}-(C_{gs}+C_s)V_{gl}+C_sV_{cs}(\text{黒})]/(C_{gs}+C_s+C_{lc})$

【0024】したがって、

(10)  $V'(\text{白})-V'(\text{黒})=[-C_s/(C_{gs}+C_s+C_{lc})]\times[V_{cs}(\text{白})-V_{cs}(\text{黒})]$

【0025】 $V'(\text{白})-V'(\text{黒})$ は、この例では $4.7\text{ V}$ である。 $[-C_s/(C_{gs}+C_s+C_{lc})]$ は、式(5)および(7)から、白書込み時( $C_{lc}$ が最小の時) $0.479$ である。したがって、

(11)  $[V_{cs}(\text{白})-V_{cs}(\text{黒})]=[V'(\text{白})-V'(\text{黒})]/[-C_s/(C_{gs}+C_s+C_{lc})]=4.7/(-0.479)=-9.8\text{ (V)}$

【0026】このことは、データ線に白レベルが存在するときブランキング書込みをするためには、白書込み時よりも少なくとも $-9.8\text{ (V)}$ だけ前段のゲート線電圧 $V_{cs}$ を変化させる必要があることを示している。実際には液晶は交流駆動され、隣接セル・ラインでは駆動電圧が逆極性になるから、 $V_{cs}(\text{黒})$ はそのセンター電圧に関して $\pm 9.8\text{ V}$ の範囲で変化する必要がある。

【0027】 $V_{cs}$ は前段のセル・ラインのTFTをオンにしていけないから、 $V_{cs}$ はTFTをオンにしない最大電圧以下にしなければならない。一例では、この最大電圧は $-7.5\text{ V}$ である。この場合、 $V_{cs}$ のセンター電圧は $-17.3\text{ V}$ 、振幅は $\pm 9.8\text{ V}$ となる。したがって、例えば、次のように電圧を設定することができる。

ゲート駆動パルスの高レベル $V_{gh}=19\text{ V}$ (従来と同じ)

ブランキング電圧 $V_{cs}$ の高レベル $V_{BL2}=-7.5\text{ V}$

ブランキング電圧 $V_{cs}$ の低レベル $V_{BL1}=-27.1\text{ V}$

$V_{cs}$ のセンター電圧 $=-17.3\text{ V}$

【0028】なお、ゲート電圧の低レベル $V_{gl}$ は図2の $V_{gl}$ レベルと $V_{g2}$ レベルとの間のセンター・レベルに相当し、 $V_{cs}$ のセンター電圧とほぼ等しい。実際には、 $V_{gl}$ は、図2に関して上述したように、 $V_{gl}$ レベルと $V_{g2}$ レベルとの間で交流駆動される。 $V_{gl}$ の変化幅は $\pm 2.35\text{ V}$ であり、これは白の画素電圧と黒の画素電圧との差である $4.7\text{ V}$ の $1/2$ に相当する。また、 $V_{cs}$ のセンター電圧は、上述の突き抜け電圧補償により、名目値からわずかに変動し、そのため、一般に、ゲート電圧のセンター・レベル $V_{gl}$ とは完全には一致しない。

【0029】 $-27.1\text{ V}$ という電圧レベルは、従来「突き抜け電圧」の補償のために用いられていたゲート線電圧の最低レベル $-11.5\text{ V}$ よりも2倍程度大きいのが、通常のCMOS回路で十分実施可能である。

【0030】時間 $T$ の減少は輝度を減少させるから、時間 $T$ は、輝度と残像を最適化するように選択する必要がある。実験によると、画像表示時間すなわち点灯時間は1フレーム周期の $20\%\sim 75\%$ を占めるのが好ましく、特に好ましいのは、 $30\%\sim 60\%$ である。したがって時間 $T$ は、1フレーム周期の $25\%\sim 80\%$ であるのが好ましく、特に $40\%\sim 70\%$ であるのが好ましい。時間 $T$ は、カウンタ40のプリセット値を選択することにより、簡単に設定することができる。

【0031】本発明にしたがって1フレーム周期内で表示をブランキングするためには、液晶は高速応答特性を有するものであるのが好ましい。1フレーム周期は通常 $17\text{ ms}$ であるから、例えば、その $50\%$ の時間は $8.5\text{ ms}$ である。したがって、本発明が有効であるためには、応答時間が長くても $8\text{ ms}$ 以下、好ましくは、 $3\text{ ms}$ 以下であるのが好ましい。このような高速応答液晶としては、ベンド配向セル( $\pi$ セル)が知られており、特に好ましいが、強誘電液晶のような他の高速応答セルも使用可能である。

【0032】ブランキングのための黒レベルはデータの黒レベルと一致する必要はない。ブランキングの目的を達成するためには、ブランキング信号は一定電位を有し、非画像状態を与えることができればよい。また、本発明の実施例では、補助容量が画素電極と前段のゲート線とによって形成されるものとして説明したが、本発明は、補助容量が画素電極と後段のゲート線とによって形成する形式の液晶パネルに適用することも可能である。また、本発明はノーマリー・ブラック・モードの液晶表示装置において残像を低減させるために適用することもできる。

【0033】

【発明の効果】 特別のパネル構造を必要とすることなく、走査ライン単位でブランキングを制御して残像の問題を好適に解決することができる。また、画像表示に影響を与えることなく、ブランキング時間を任意に設定し、最適化することができる。

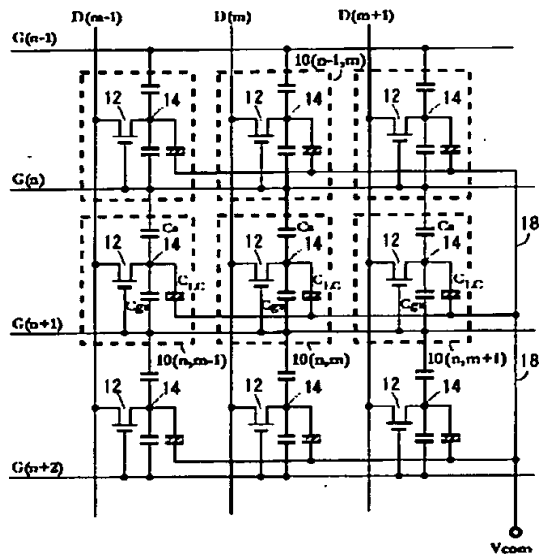
【図面の簡単な説明】

【図1】 本発明を適用できる液晶表示パネルの電気的等価回路図である。

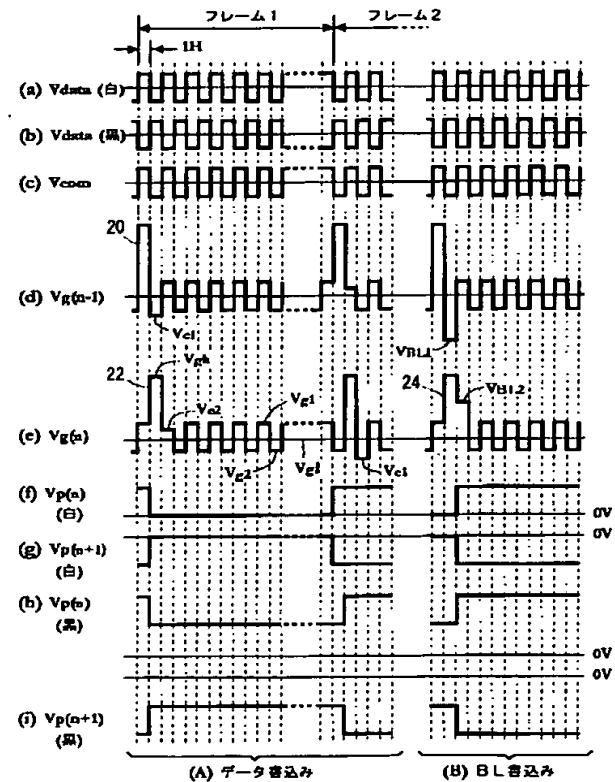
【図2】 通常の日タ書き込み動作および本発明に従うブランキング書き込み動作を示す波形図である。

【図3】 通常の日タ書き込み動作と本発明に従うブランキング書き込み動作のタイミングを示す図である。

【図1】



【図2】



【符合の説明】

10 液晶セル

12 TFT

14 画素電極

Cgs ゲートソース寄生容量

Cs 補助容量

Clc 液晶容量

18 共通電極

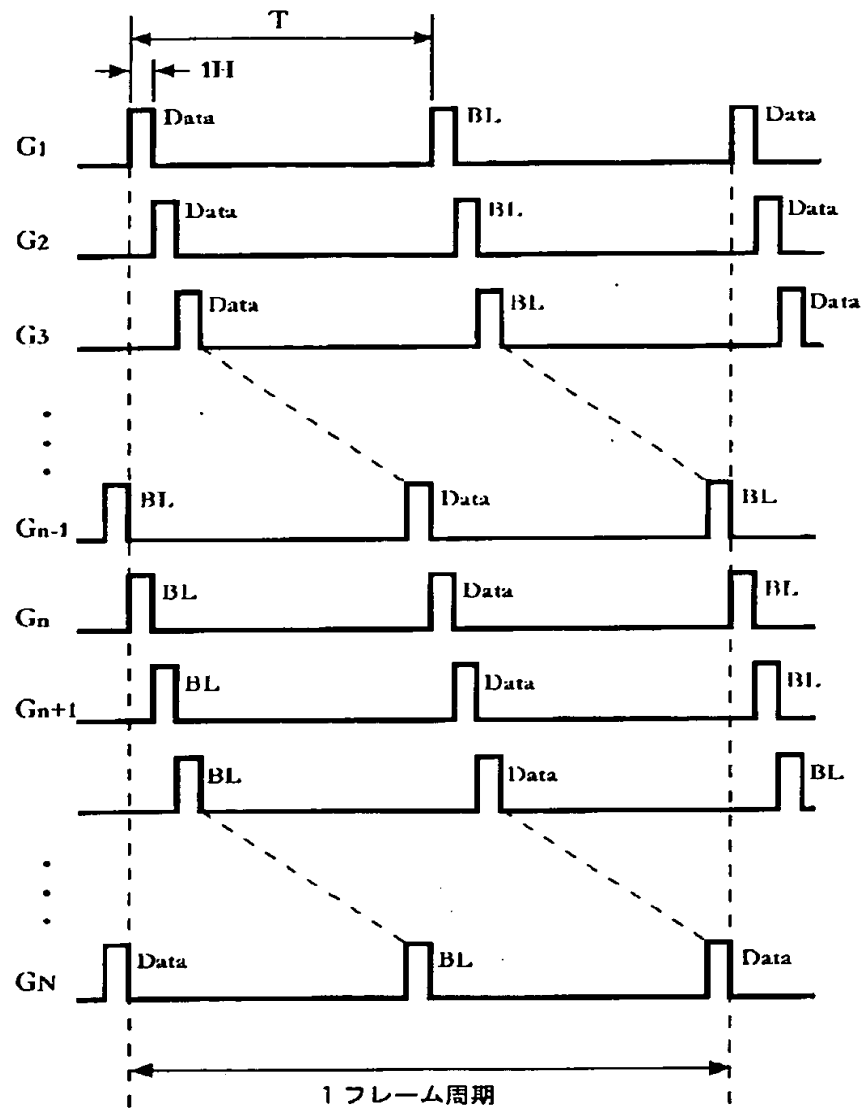
G ゲート線

10 D データ線

VBL1、VBL2 ブランキング書き込み電圧

20、22、24 ゲート駆動パルス

【図3】



フロントページの続き

(72) 発明者 酒井 英明  
 滋賀県野洲郡野洲町大字市三宅800番地  
 日本アイ・ビー・エム株式会社 野洲事業  
 所内

Fターム(参考) 2H093 NA16 NA32 NA33 NA43 NC34  
 NC35 ND12 NF19 NH18  
 5C006 AA21 AC11 AC27 AC28 AF42  
 AF44 AF46 AF51 AF64 AF73  
 BA12 BB16 BC03 BC12 BF22  
 FA34 FA37